

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100578

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H01L 21/205

C23C 16/44

C23C 16/505

H01L 21/20

H01L 29/786

H01L 21/336

(21)Application number : 2000-333866

(71)Applicant : CRYSTAGE CO LTD
PRIME VIEW INTERNATL CO LTD

(22)Date of filing : 25.09.2000

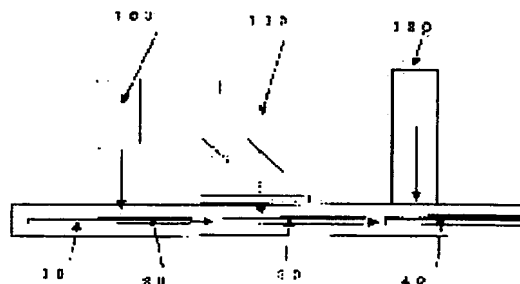
(72)Inventor : MURATA YASUAKI
ITO MASATAKA

(54) THIN FILM FORMING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a thin film forming system for thin film transistor(TFT) in which a good semiconductor thin film can be formed by performing formation of a thin film on a substrate, crystallization through irradiation of high energy light and surface treatment of a crystal thin film continuously thereby eliminating the effect of impurities on the surface.

SOLUTION: The thin film forming system comprises a linear plasma CVD system for depositing amorphous Si, a linear laser beam irradiating section for crystallizing the amorphous Si, and a linear plasma generator which can lightly oxidize the surface of a crystallized Si thin film with oxygen plasma. They are connected in series and substrates are processed in-line. The entire process progresses in the vacuum or in a controlled atmosphere and the plasma CVD the plasma processing system comprise a high density plasma generating section and a remote plasma where the film depositing section or the surface treating section is separated. Surface of a semiconductor is processed cleanly with low damage a good thin film transistor can be fabricated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-100578

(P2002-100578A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 K 0 3 0
C 2 3 C 16/44		C 2 3 C 16/44	B 5 F 0 4 5
	16/505		5 F 0 5 2
H 0 1 L 21/20		H 0 1 L 21/20	5 F 1 1 0
	29/786		6 1 8 A
		29/78	
審査請求 未請求 請求項の数 5 書面 (全 5 頁) 最終頁に続く			

(21)出願番号 特願2000-333866(P2000-333866)

(22)出願日 平成12年9月25日(2000.9.25)

(71)出願人 500214026

株式会社クリスタージュ

兵庫県神戸市中央区港島9丁目1番地 K
-CAT 2階

(71)出願人 500488133

元太科技工業股▲ふん▼有限公司

台湾新竹市科学工業園區力行一路3号

(72)発明者 村田 康明

奈良市右京2丁目3 11-503

(72)発明者 伊藤 政隆

奈良市西大寺新町1-2-27-711

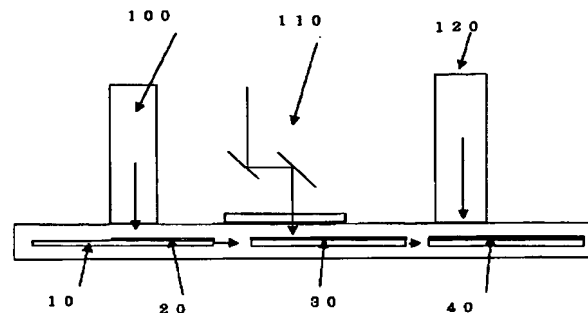
最終頁に続く

(54)【発明の名称】 薄膜形成装置

(57)【要約】

【目的】 薄膜トランジスタ(TFT)用の薄膜形成装置として、基板上への薄膜の成膜、高エネルギー光照射による結晶化、結晶薄膜の表面処理を連続して処理し、表面への不純物の影響をなくし、良好な半導体薄膜を得る。

【構成】 アモルファスSiを成膜するライン状のプラズマCVD装置とそのアモルファスSi膜を結晶化するライン状のレーザービーム照射部と結晶化後のSi薄膜表面を酸素プラズマで軽く酸化することができる、ライン状のプラズマ発生装置で構成されている。これらの各装置は直列に接続され、インラインで基板を処理する。これらの工程で全工程は真空中もしくは、制御された雰囲気中で処理され、またプラズマCVD及びプラズマ処理装置は、高密度プラズマ発生部と、成膜部もしくは表面処理部が分離されてなる、リモートプラズマで構成される。これにより半導体表面は清浄かつ低ダメージで処理され、良好な薄膜トランジスタの作製が可能となる。



【特許請求の範囲】

【請求項1】ライン状のプラズマ発生部と、反応ガスを導入する導入部とからなるライン状のプラズマCVD装置と該プラズマCVDにより成膜された薄膜をライン状の光によりアニールするアニール部と、アニールされた薄膜表面をプラズマで処理するライン状のプラズマ処理装置が直列に配置されたことを特長とする薄膜形成装置。

【請求項2】請求項1に記載の薄膜形成装置においてライン状のプラズマCVD装置はライン状のプラズマ発生部と反応部よりなり該プラズマ発生部は該反応部と一定の距離を有することを特長とする薄膜形成装置。

【請求項3】請求項1に記載の薄膜形成装置においてライン状のプラズマ処理装置はライン状のプラズマ発生部よりなり該プラズマ発生部は処理しようとする基板表面と一定の距離を有することを特長とする薄膜形成装置。

【請求項4】請求項第1項において、該プラズマCVD装置、ライン状のアニール部、ライン状のプラズマ処理部が、ひとつのチャンバ内に配置され、該各処理装置毎に所定の気体を処理しようとする基板表面に吹き付ける機構と処理部近傍に不要となった気体を局所的に排気する機構を備えてなることを特長とする薄膜形成装置。

【請求項5】請求項第1項、第2項、第3項記載の薄膜形成装置において、該プラズマCVD及ぶプラズマ処理装置のプラズマ発生部は50MHz以上の高周波により励起させる高密度プラズマであることを特長とする。薄膜形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】表面への不純物の汚染がなく、またダメージの少ない薄膜が形成でき薄膜トランジスタ、特に高性能低温ポリシリコンTFTの特性信頼性向上に関し有用な技術であり、その応用分野である液晶パネル、イメージセンサーへの応用が期待できる。

【0002】

【従来の技術】近年、低温ポリシリコンTFTを用いた液晶パネルにドライバをモノリシック化したパネルが実用化されてきた。このような低温ポリシリコンTFTはガラスの耐熱温度600℃以下で高品質のポリシリコン膜、ゲート絶縁膜及びその界面を形成することが必要となる。現状、ポリシリコン薄膜はまず、アモルファスシリコンをプラズマCVDで成膜した後、レーザーアニールで結晶化させる方法が一般に使われている。この方法では現状アモルファスシリコンは従来のアモルファスシリコンTFTの技術をベースとして使っており、平行平板プラズマCVDが用いられる。一方、レーザーアニール装置は基板全体を一括照射できる大エネルギーレーザー、及び均一照射するための光学系が無く、また今後早期に開発されることも困難である。したがってライン状のレーザービームを重ね合わせ、基板全体をアニールす

る方法がとられている。このため、アモルファスシリコンを成膜した後、一旦チャンバーから取り出しレーザーアニール装置へ移し、アニールを行っていた。レーザーアニールはシリコンを瞬間的に高温にし、熔融し、結晶化する。したがって、アモルファスシリコン表面についた不純物はアニール時結晶中に取り込まれ、結晶中のキャリアとなるため、注意を要する。特に、基板保存時にボロンが基板表面に付着する場合があります、素子の安定性に問題があった。また、レーザーアニールをおこなった後、フォトリソプロセスによりアイランド化するが、この工程においても、ポリシリコン表面をさらしたまま工程を進めることから、結晶化時と同様安定性に課題を残している。

【0003】

【発明が解決しようとする課題】本発明が解決しようとする課題としては、現状の標準的なプロセスである半導体薄膜の形成、結晶化アニール膜に関し、一連の連続処理を可能とし、特にレーザー結晶化に対し、表面の不純物汚染を防止し、素子の安定化を図るものである。また、異なる形態のプロセスを一体化し、生産効率の向上を図ることも本発明の目的とするものである。

【0004】

【課題を解決するための手段】初期の半導体薄膜であるアモルファスシリコンを作製する方法として、ライン状のプラズマCVDを用いる。このライン状プラズマCVDはライン状プラズマ発生源から励起ガスを供給し、基板直上から成膜原料となる反応性ガスを供給し、基板上で反応させ、薄膜を形成する。基板はこのライン状プラズマ源の下を移動することにより、基板表面に薄膜を形成することができる。さらに引き続き、ラインビームによる、結晶化アニール部を上記の薄膜形成部と直列に配置させる。この方法によりアモルファスを成膜した基板は外気に曝されることなく、直接アニール装置内に入り、アニールされる。さらに、ラインプラズマ処理装置により、表面を軽く酸化する。これは後の工程で直接不純物が半導体表面に付着するのを防止するもので、装置としては、ライン状のプラズマ源を持ち、プラズマ発生部が基板表面から離れてなる、リモートプラズマ装置からなる。これらの3つの装置を直列に配置し、基板を一方向に移動させることにより一連の処理が効率的に行うことができるようにする。

【0005】

【作用】アモルファスシリコン薄膜の成膜とレーザーアニールを直結させることにより、アモルファスシリコン表面の不純物を無くすることができ、再現性良く良好な素子が得られる。またレーザーアニール後に、膜表面にダメージを与えることなく、薄い酸化膜を形成することが可能となり、後工程での汚染も極力抑えることが可能となる。また一連の工程を連続して行うことが可能となり、処理の効率化が図れる。

【0006】

【実施例】図1は本発明の装置を示す図である。まず基本構成はライン状プラズマCVD100とラインビームを持つレーザーアニール装置110、ライン状プラズマ処理装置120からなる。これらの装置は直接に配置され、ガラス基板10表面はこれらの装置の下を移動することによりアモルファスの成膜、結晶化アニール、表面処理が連続して処理できる。次に個々の装置に関し具体的な構成を説明する。図2はライン状プラズマCVD装置の断面図を示したものである。ライン状プラズマCVD装置はライン状のプラズマ発生チューブ101、励起ガス導入部102、反応ガス導入部103、局所排気部104及びプラズマチューブに巻かれたRFコイル105からなる。RFコイルに高周波を印加することにより励起ガス導入部102から導入されたガス、例えばAr等の不活性ガスが励起され、基板表面に流れていく。基板表面付近では反応性ガス導入部103から導入されたSiH₄反応性ガスと混合され、反応しアモルファスシリコンが基板表面に堆積される。基板はライン状プラズマCVDと直交する方向に移動し基板全面にアモルファスシリコンが堆積される。次にレーザーアニール装置であるが、これは図3に示すように、現状ポリシリコン用のアニール装置として一般に用いられているもので、エキシマレーザ111とライン状ビーム112に成形する光学系113からなる。ライン状ビームは基板114がビームの下を1回移動するだけでアニールが完了できるように、ビーム長を基板の幅と同じになるように調整してある。最後にライン状プラズマ処理装置であるが、これは基本的な構成は上記のライン状プラズマCVD装置と同じである。上記ライン状プラズマCVD装置において、励起ガスに希ガスと酸素の混合ガスもしくは酸素のみの単体を用いれば表面酸化を容易に行うことができる。このようなライン状プラズマ処理装置はプラズマ発生部が実際の基板の表面から離れたところにある。したがってこの構成ではプラズマにより発生したイオンが加速され半導体表面に衝突することが無く、ダメージの少ない表面処理が可能となる。これらの装置を直列に並べその下を基板が搬送されることにより一連の処理を行う。

【0007】以下具体的な薄膜形成を例にとりながら説明する。まずライン状プラズマCVD装置によるアモルファスシリコン膜の形成であるが、プラズマ生成のための励起ガスは図2において励起ガス導入部102から導入される。本実施例ではArガスをを用い、供給量は200sccmであった。ガス圧力は13.3Pa(100mTorr)になるように排気コンダクタンスを調整した。プラズマは、ループ状アンテナからなるRFコイル105より供給された高周波エネルギーにより形成される。本実施例では20～100MHzの高周波を用いた。投入電力は1～5kWであった。このプラズマ発生

部から10cm～100cm離れた位置に基板が置かれている。反応ガスがガス導入部103より供給される。本実施例ではHe(ヘリウム希釈)のSiH₄(シラン)ガスをを用いた。希釈率は10%で流量は10～50sccmで行った。導入した反応ガスが、試料基板106上において、プラズマ発生部で励起されたArの活性種により分解、反応し成膜が進む。基板にはコーニング社製7059ガラスを用い、基板温度は400℃とした。この時のSiの成膜速度は50nm/minであった。反応後のガスは排気部104より排気される。反応生成系の不要物を速やかに取り去ることは二次物質の生成を防ぎ、目的対象物を高品位にするために極めて重要である。このとき反応部以外への排ガスの拡散を抑えるため、基板付近にHe(ヘリウム)ガスを一定量不活性ガス導入部107より流した。これらの排気ガスは局所排気部104で反応後のガスとともににより排出される。次にレーザーアニールを行う。レーザーアニールはエネルギー密度320mJ/cm²～410mJ/cm²のエネルギー密度範囲にて行った。ショットの重なりは95%を用いた。さらに、引き続き酸素プラズマにより表面酸化を行った。上記、ライン状プラズマCVD装置と同じ構成で励起ガスとしてHe/O₂の混合ガスをを用い、他の反応ガスは流さない。プラズマパワーは500Wから1kWを用いた。表面の酸化膜厚は10nm以下である。これらの装置で得られた薄膜を用いてTFTを作製したところしきい値のパラツキの絶対値が1V以内の範囲で再現性良く作ることができ、本発明の有用性を確認することができた。

【0008】

【発明の効果】本発明は、薄膜トランジスタに必要となるポリシリコン膜の不純物汚染を低減することができ、素子の安定性を図ることができる。また工程の連続処理により、生産の効率化を図ることができる。

【00010】

【図面の簡単な説明】

【図1】薄膜形成装置の断面構造図である。

【図2】ライン状プラズマCVD装置の断面図である。

【図3】レーザーアニール装置のブロック図を示す図である。

【符号の説明】

- 10…ガラス基板
- 20…アモルファスシリコン膜
- 30…ポリシリコン膜
- 40…酸化膜
- 100…ライン状プラズマCVD
- 101…プラズマチューブ
- 102…励起ガス導入部
- 103…反応性ガス導入部
- 104…排気部
- 105…RFコイル

106…基板

107…不活性ガス導入部

110…レーザーアニール装置

111…エキシマレーザー

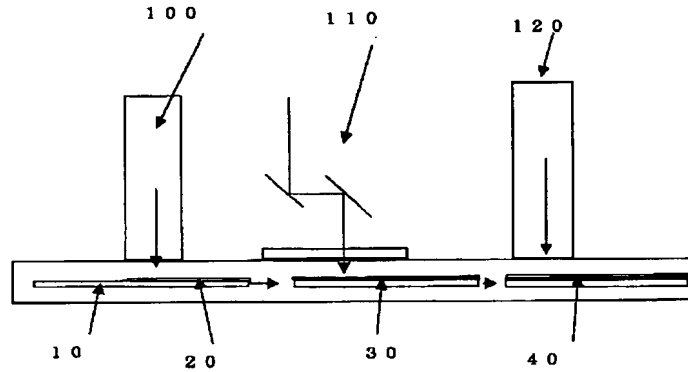
* 112…ライン状ビーム

113…ビーム成形光学系

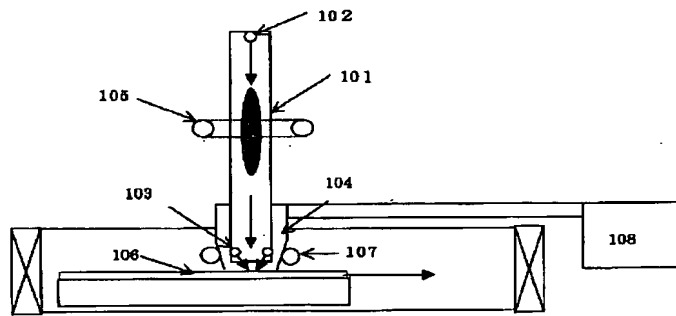
114…ガラス基板

*

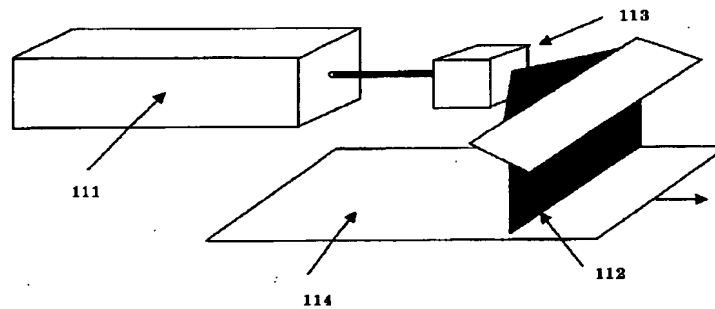
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.

H01L 21/336

識別記号

FI

H01L 29/78

テーマコード(参考)

627G

627B

F ターム(参考) 4K030 AA06 AA16 BA30 CA06 DA08
DA09 FA04 GA12 KA28 LA15
5F045 AA08 AB04 AC01 AC16 AC17
AD07 AD08 AE17 AE19 AF07
CA15 EH18 HA17 HA25
5F052 AA02 BA07 BB07 CA02 DA02
DB03 HA06 JA01
5F110 AA30 DD02 GG02 GG13 GG45
PP03 PP38 QQ09